

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 06-230420

(43) Date of publication of application : 19.08.1994

(51) Int.CI.

G02F 1/136
H01L 29/784

(21) Application number : 05-015019

(71) Applicant : FUJITSU LTD

(22) Date of filing : 02.02.1993

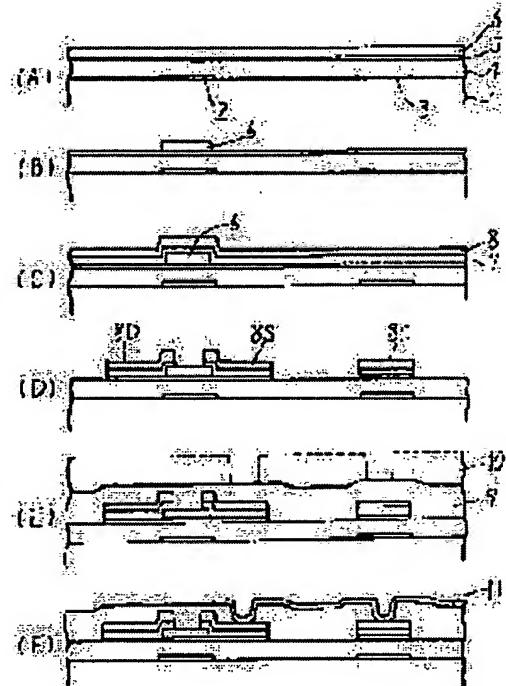
(72) Inventor : OZAKI KIYOSHI

(54) THIN-TRANSISTOR MATRIX AND ITS PRODUCTION

(57) Abstract:

PURPOSE: To enable the provision of address display of pixels for each of respective pixels without lowering transmittance and to make the assignment of the specific pixels, such as defects possible, by providing address display patterns of pixel coordinates on the light shielding films of a display part.

CONSTITUTION: An SiN film is deposited as a second layer insulating film 9. A resist film 10 having apertures on source electrodes 8S and store capacitors is then formed by photolithography on a substrate 1. The apertures on the store capacitors are formed into shape of a figure, etc., as the address display patterns at this time. The second layer insulating film 9 is then etched having the resist film 10 as a mask to form contact holes. The resist film 10 is thereafter removed. The resin on connecting terminals is simultaneously etched away at this time. The contact holes of the shapes of the figures, etc., indicating the addresses are formed on the store capacitors at this time. An ITO film 11 is then formed as a pixel electrode film and is patterned to attain contact with the electrodes 8C in the upper part of the store capacitors and source electrodes 8S to form the pixel electrodes. The TFT matrix is thus formed.



LEGAL STATUS

[Date of request for examination] 19.01.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3252299

[Date of registration] 22.11.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

[0021]In Fig. 1(A), an Al film having a thickness of 1000Å and a Cr film having a thickness of 1000Å are sequentially formed on a glass substrate 1 as a transparent insulation substrate by sputtering. After a resist film is patterned by a photolithography, a gate electrode 2 and an accumulation capacitor lower electrode 3 are formed by etching using the resist film as a mask.

[0022]Then, the resist film is peeled off, and a gate insulation film serving as a first insulation film and a silicon nitride (SiN) film 4 having a thickness of 4000Å serving as an accumulation capacitor dielectric film, an a-Si film 5 having a thickness of 150Å as an active semiconductor layer, and a SiN film 6 having a thickness of 1200Å as a channel protection film are sequentially formed by a P-CVD method. The first insulation film can be formed of an alumina film by an ALD method instead of the SiN film 4.

[0023]In Fig. 1(B), the channel protection film 6 is patterned so as to remain immediately above the gate electrode 2. In Fig. 1(C), an n+ type a-Si layer 7 having a thickness of 600Å as a contact layer and a source/drain electrode metal film 8 formed of a chromium (Cr) film having a thickness of 1500Å are sequentially formed on the substrate.

[0024]In Fig. 1(D), the contact layer 7 and the source/drain electrode metal film 8 are patterned to form a drain electrode 8D, a source electrode 8S, and an accumulation capacitor upper electrode 8C.

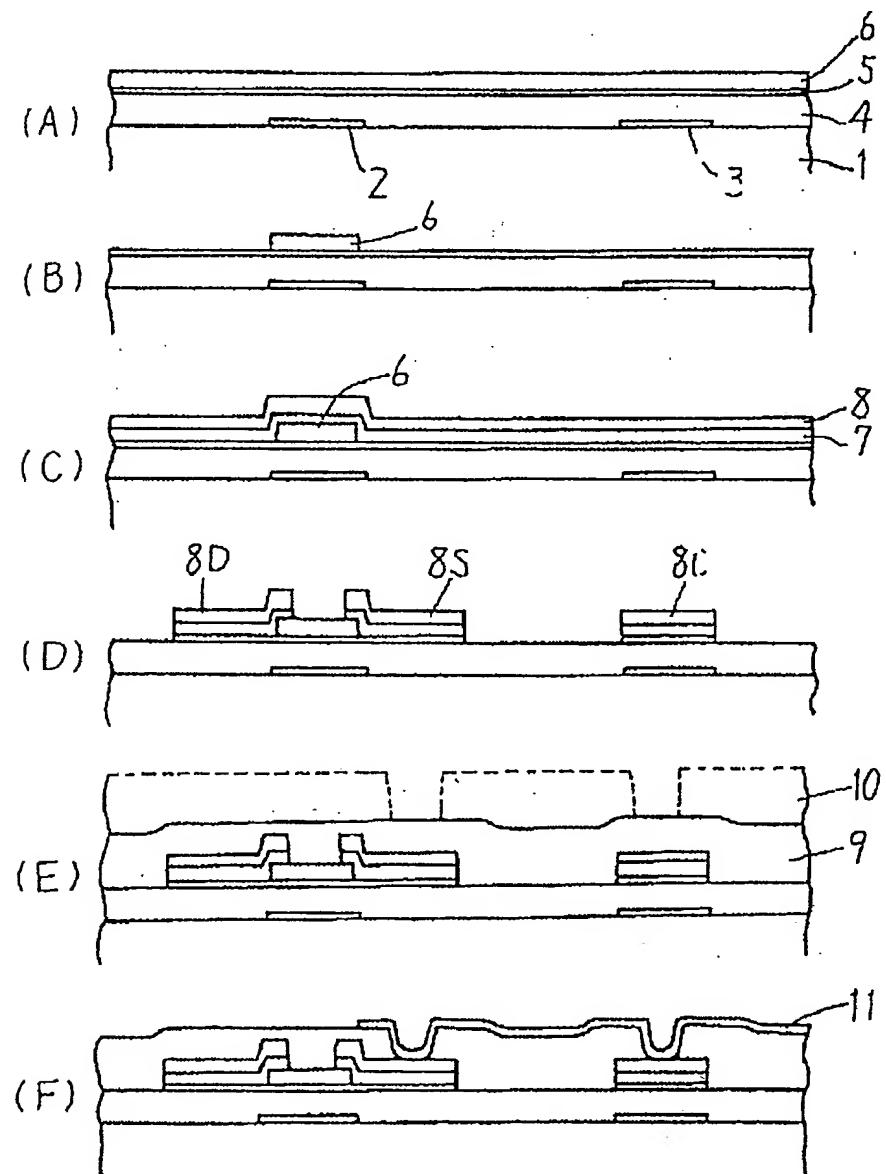
[0025]In Fig. 1(E), an SiN film having a thickness of 4000Å is formed as a second insulation film 9 by a P-CVD method. Then, a resist film 10 is formed on the substrate

by a photolithography, having openings above the source electrode and the accumulation capacitor.

[0026]At this time, the opening on the accumulation capacitor is formed in a numerical shape (alternatively, symbol or character) as an address display pattern AD (Fig. 2). In Fig. 1(F), the second insulation film 9 is etched using the resist film 10 as a mask to form a contact hole, and the resist film 10 is removed. At the same time, resin above a connection terminal is removed by etching.

[0027]At this time, the contact hole having a numerical shape indicating an address is formed on the accumulation capacitor. Then, an ITO film having a thickness of 700 Å is formed as a pixel electrode film to connect the accumulation capacitor upper electrode 8C and the source electrode 8S, and patterned to form a pixel electrode 11. The TFT matrix is thus formed.

FIG.1 The cross section view of the embodiment(1)



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-230420

(43)公開日 平成6年(1994)8月19日

(51)Int.Cl.⁵

G 0 2 F 1/136
H 0 1 L 29/784

識別記号
5 0 0

庁内整理番号
9018-2K

F I

技術表示箇所

9056-4M

H 0 1 L 29/ 78

3 1 1 A

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21)出願番号

特願平5-15019

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72)発明者 尾崎 喜義

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74)代理人 弁理士 井桁 貞一

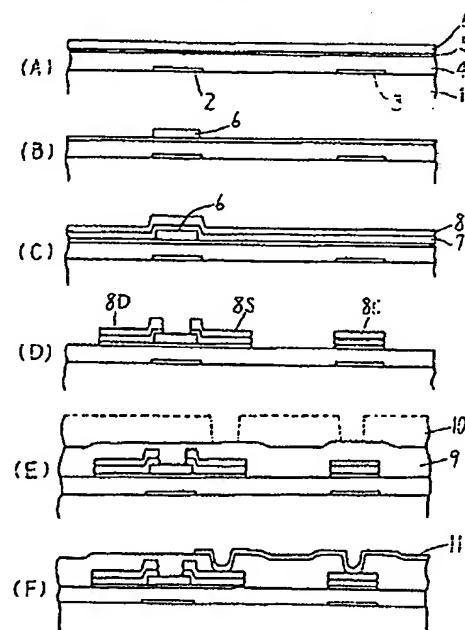
(54)【発明の名称】 薄膜トランジスタマトリクスおよびその製造方法

(57)【要約】

【目的】 薄膜トランジスタ(TFT)マトリクスに関し、画素の番地(アドレス)表示を透過率を低下させないで各画素ごとに設けられるようにし、欠陥等の特定画素の指定を可能にすることを目的とする。

【構成】 薄積容量上、あるいはゲートバスライン上、あるいはゲートバスライン上等の表示部の遮光膜上に画素座標のアドレス表示パターンが設けられているよう構成する。

本発明の実施例(1)の断面図



【特許請求の範囲】

【請求項1】 ゲートバスライン(41)とドレインバスライン(42)とが絶縁膜を介してマトリクス状に配置され、両方のバスラインの交差部に薄膜トランジスタ(43)が配置され、該薄膜トランジスタは透明絶縁性の基板(1)上にゲート電極(2)、蓄積容量下部電極(3)、ゲート絶縁膜となる第1層目絶縁膜(4)、動作半導体層(5)がこの順に積層され、該動作半導体層上にチャネル保護膜(6)を介してソース電極(8S)とドレイン電極(8D)が配置され、且つ該蓄積容量下部電極上に誘電体膜となる該第1層目絶縁膜を介して蓄積容量上部電極(8C)が形成され、その上に被着された第2層目絶縁膜に該蓄積容量上部電極および該ソース電極に接続するコンタクトホールが設けられ、該コンタクトホールを含んで画素電極が形成され、該ドレイン電極は該ドレインバスラインに、該ゲート電極は該ゲートバスラインに接続される薄膜トランジスタマトリクスであって、表示部の遮光膜上に画素座標のアドレス表示パターンが設けかれていることを特徴とする薄膜トランジスタマトリクス。

【請求項2】 前記アドレス表示パターンは蓄積容量上、あるいはゲートバスライン上、あるいはドレインバスライン上に形成されていることを特徴とする請求項1記載の薄膜トランジスタマトリクス。

【請求項3】 透明絶縁性の基板(1)上にゲート電極(2)と蓄積容量下部電極(3)を形成し、その上に第1層目絶縁膜(4)、動作半導体層(5)、チャネル保護膜(6)を順次成膜する第1工程と、次いで、該ゲート電極直上の該チャネル保護膜を残すように、該チャネル保護膜をバーニングする第2工程と、次いで、該基板上に高濃度半導体からなるコンタクト層(7)とソースドレイン電極用金属膜(8)を順に成膜する第3工程と、次いで、該動作半導体層と該コンタクト層と該ソースドレイン電極用金属膜をバーニングして、ドレイン電極(8D)と、ソース電極(8S)と、蓄積容量上部電極(8C)を形成する第4工程と、次いで、該基板上に第2層目絶縁膜(9)を被着する第5工程と、次いで、該ソース電極上および該蓄積容量上部電極上において、第2層目絶縁膜にコンタクト孔を形成し、且つ該蓄積容量上部電極上のコンタクト孔を画素座標のアドレス表示パターンに形成する第6工程と、次いで、該基板上に透明電極膜を成膜して、該蓄積容量上部電極と該ソース電極とを該透明電極膜にコンタクトをとり、該透明電極膜をバーニングして画素電極(11)を形成する第7工程とを有することを特徴とする薄膜トランジスタマトリクスの製造方法。

【請求項4】 前記第6工程において前記アドレス表示パターンを形成する代わりに、前記第4工程において、ゲートバスライン上に前記動作半導体層と前記コンタクト層と前記ソースドレイン電極用金属性膜をバーニングして該アドレス表示パターンを形成することを特徴とする請求項3記載の薄膜トランジスタマトリクスの製造方

法。

【請求項5】 前記第6工程において前記アドレス表示パターンを形成する代わりに、前記第7工程において、ゲートバスラインあるいはドレインバスライン上に前記透明電極膜をバーニングして該アドレス表示パターンを形成することを特徴とする請求項3記載の薄膜トランジスタマトリクスの製造方法。

【発明の詳細な説明】

【0001】

10 【産業上の利用分野】本発明はアクティブマトリクス駆動方式による液晶パネル等に構成される薄膜トランジスタ(TFT)マトリクスおよびその製造方法に関する。

【0002】近年、ラップトップパソコンコンピュータや壁掛けテレビに使用するTFTマトリクス型液晶パネルの開発が進められている。TFTマトリクス型液晶パネルの検査工程においては、各画素の番地がわかるようになることが必要である。

【0003】

【従来の技術】TFTマトリクス基板の構造の概略を次の20 図を用いて説明する。図7はTFTマトリクスの平面図である。

【0004】TFTマトリクス型液晶パネルは、X、Y方向に交差してマトリクス状に配置された多数のゲートバスライン41とドレインバスライン42に駆動電圧を印加して、両バスライン交差部に接続されたTFT 43を選択駆動することにより、対応する所望の画素をドット表示するよう構成されている。このようなTFTマトリクスの構造は、例えば、透明絶縁性のガラス基板上にチタン(Ti)ーアルミニウム(AI)からなる多数のゲートバスラインと

30 ドレインバスラインとが窒化シリコン(SiN)等からなる層間絶縁膜を介してX、Y方向に交差した形に配置され、両バスラインの交差部にTFTが接続されている。また、TFTの動作半導体層にアモルファシリコン(a-Si)層を用いる場合には、ゲート絶縁膜にプラズマ気相成長(P-CVD)法による窒化シリコン膜(SiN)あるいは窒化シリコンオキシナイトライド(Si₃N₄)膜が用いられている。

【0005】なお、図中、8DはTFTのドレイン電極、8SはTFTのソース電極、8Cは蓄積容量上部電極(補助容量バスライン)を示す。ここで、画素の番地は欠陥箇所等特定の箇所を指定する際に必要である。

【0006】従来は、番地を表す方法として次の方法が用いられていた。

(1) 従来例(1)：表示部外枠に座標の数字を入れる方法
図8は従来例(1)による画素の番地を表す方法の説明図である。

【0007】図示のように、液晶パネルの表示部外(画素パターンがない部分)にゲートバス側とドレインバス側に、基板端より10ラインまたは100ラインおきに数字を入れ、各ラインの座標により特定画素を指定する。

【0008】(2) 従来例(2)：画素中に数字のパターン

を入れておき、その数字から番地を見る方法

次に、図9を用いて通常の製造工程とともに従来例(2)の番地表示形成方法を説明する。

【0009】図9(A)～(F)は従来のTFT 素子の製造工程を説明する断面図である。図9(A)において、透明絶縁性基板としてガラス基板 1上にスパッタリングによりAl膜とCr膜を連続して成膜し、フォトリソグラフィによりレジスト膜をパターニングした後、レジスト膜をマスクにしてエッチングしてゲート電極 2と蓄積容量下部電極 3およびアドレスパターンADを形成する。

【0010】次いで、レジスト膜を剥離し、P-CVD 法により、第1層目絶縁膜であるゲート絶縁膜および蓄積容量誘電体膜としてSiN 膜 4、動作半導体層としてa-Si膜 5、チャネル保護膜としてSiN 膜 6を連続成長する。ここで、第1層目絶縁膜は、CVD SiN 膜 4の代わりに原子層エピタキシ(ALD) 法によるアルミナ膜を用いてよい。

【0011】図9(B)において、ゲート電極 2の直上のチャネル保護膜 6を残すようにパターニングする。図9(C)において、基板上にコンタクト層としてn⁺型a-Si 層 7とソースドレイン電極用金属膜 8を連続成膜する。

【0012】図9(D)において、コンタクト層 7とソースドレイン電極用金属膜 8をパターニングして、ドレイン電極8Dと、ソース電極8Sと、蓄積容量上部電極8Cを形成する。

【0013】図9(E)において、第2層目絶縁膜14として、P-CVD 法によりSiN 膜を成膜し、ソース電極8Sと蓄積容量上部電極8C上にコンタクト孔を形成する。図9(F)において、基板上に透明電極膜としてITO 膜を成膜して、蓄積容量上部電極8Cとソース電極8Sとにコンタクトをとり、パターニングして画素電極11とし、TFT マトリクスを形成する。

【0014】

【発明が解決しようとする課題】従来例(1)のように、ゲートバス、ドレインバスラインの外側に数字を入れて、特定の画素を見る場合は、通常の顕微鏡を用いたのでは座標の読み取りが非常に難しい。

【0015】特に、基板を切断(ある程度の大きさに)した場合は画素内に数字等の目安となるものがないため、特定画素を調べることはできない。従来例(2)のゲート電極と蓄積容量電極を形成する際に画素内に数字を入れた場合は、この数字は金属膜で形成されているため、画素の透過率(開口率)が低下するという問題がある。また、透過光により欠陥箇所を調べる自動検査装置を用いた場合、この数字は欠陥として検出されてしまう。

【0016】本発明はTFT マトリクスにおいて画素の番地(アドレス)表示を透過率を低下させないで各画素ごとに設けられるようにし、欠陥等の特定画素の指定を可能にすることを目的とする。

【0017】

【課題を解決するための手段】上記課題の解決は、

- 1) ゲートバスライン41とドレインバスライン42が絶縁膜を介してマトリクス状に配置され、両方のバスラインの交差部に薄膜トランジスタ43が配置され、該薄膜トランジスタは透明絶縁性の基板 1上にゲート電極 2、蓄積容量下部電極 3、ゲート絶縁膜となる第1層目絶縁膜 4、動作半導体層 5がこの順に積層され、該動作半導体層上にチャネル保護膜 6を介してソース電極8Sとドレイン電極8Dが配置され、且つ該蓄積容量下部電極上に誘電体膜となる該第1層目絶縁膜を介して蓄積容量上部電極8Cが形成され、その上に被着された第2層目絶縁膜に該蓄積容量上部電極および該ソース電極に接続するコンタクトホールが設けられ、該コンタクトホールを含んで画素電極が形成され、該ドレイン電極は該ドレインバスラインに、該ゲート電極は該ゲートバスラインに接続される薄膜トランジスタマトリクスであって、表示部の遮光膜上に画素座標のアドレス表示パターンが設けられている薄膜トランジスタマトリクス。あるいは
- 2) 前記アドレス表示パターンは蓄積容量上、あるいはゲートバスライン上、あるいはドレインバスライン上に形成されている前記1)記載の薄膜トランジスタマトリクス、あるいは
- 3) 透明絶縁性の基板 1上にゲート電極 2と蓄積容量下部電極 3を形成し、その上に第1層目絶縁膜 4、動作半導体層 5、チャネル保護膜 6を順次成膜する第1工程と、次いで、該ゲート電極直上の該チャネル保護膜を残すように、該チャネル保護膜をパターニングする第2工程と、次いで、該基板上に高濃度半導体からなるコンタクト層 7とソースドレイン電極用金属膜 8を順に成膜する第3工程と、次いで、該動作半導体層と該コンタクト層と該ソースドレイン電極用金属膜をパターニングして、ドレイン電極8Dと、ソース電極8Sと、蓄積容量上部電極8Cを形成する第4工程と、次いで、該基板上に第2層目絶縁膜 9を被着する第5工程と、次いで、該ソース電極上および該蓄積容量上部電極上において、第2層目絶縁膜にコンタクト孔を形成し、且つ該蓄積容量上部電極上のコンタクト孔を画素座標のアドレス表示パターンに形成する第6工程と、次いで、該基板上に透明電極膜を成膜して、該蓄積容量上部電極と該ソース電極とを該透明電極膜にコンタクトをとり、該透明電極膜をパターニングして画素電極11を形成する第7工程とを有する薄膜トランジスタマトリクスの製造方法。あるいは
- 4) 前記第6工程において前記アドレス表示パターンを形成する代わりに、前記第4工程において、ゲートバスライン上に前記動作半導体層と前記コンタクト層と前記ソースドレイン電極用金属膜をパターニングして該アドレス表示パターンを形成する前記3)記載の薄膜トランジスタマトリクスの製造方法。あるいは
- 5) 前記第6工程において前記アドレス表示パターンを

形成する代わりに、前記第7工程において、ゲートバスラインあるいはドレインバスライン上に前記透明電極膜をバーニングして該アドレス表示パターンを形成する前記3)記載の薄膜トランジスタマトリクスの製造方法により達成される。

【0018】

【作用】本発明はTFTマトリクスの番地(アドレス)表示を液晶パネルの表示部内の遮光膜内に設けることにより、透過率を低下させないで特定画素の指定を可能にしている。

【0019】例えば、表示部内の遮光膜として蓄積容量電極の上に数字等のパターンを形成すれば、従来問題となっていた金属膜を用いたメタルアドレスによる透過率の低下をなくすことができ、また、透過光による自動検査で欠陥として検出されることはない。

【0020】

【実施例】次に、従来の構造を製造工程とともに説明する。

実施例(1)：図1(A)～(F)は本発明の実施例(1)の断面図である。

【0021】図1(A)において、透明絶縁性基板としてガラス基板1上にスパッタリングにより厚さ1000ÅのAl膜と厚さ1000ÅのCr膜を連続して成膜し、フォトリソグラフィによりレジスト膜をバーニングした後、レジスト膜をマスクにしてエッチングしてゲート電極2と蓄積容量下部電極3を形成する。

【0022】次いで、レジスト膜を剥離し、P-CVD法により、第1層目絶縁膜であるゲート絶縁膜および蓄積容量誘電体膜として厚さ4000Åの窒化シリコン(SiN)膜4、動作半導体層として厚さ150Åのa-Si膜5、チャネル保護膜として厚さ1200ÅのSiN膜6を連続成長する。ここで、第1層目絶縁膜は、SiN膜4の代わりにALD法によるアルミナ膜を用いてもよい。

【0023】図1(B)において、ゲート電極2直上のチャネル保護膜6を残すようにバーニングする。図1(C)において、基板上にコンタクト層として厚さ600Åのn⁺型a-Si層7と厚さ1500Åのクロム(Cr)膜からなるソースドレイン電極用金属膜8を連続成膜する。

【0024】図1(D)において、コントラクト層7とソースドレイン電極用金属膜8をバーニングして、ドレン電極8Dと、ソース電極8Sと、蓄積容量上部電極8Cを形成する。

【0025】図1(E)において、第2層目絶縁膜9として、P-CVD法により厚さ4000ÅのSiN膜を被着する。次いで、フォトリソグラフィにより、ソース電極と蓄積容量上に開口部を持つレジスト膜10を基板上に形成する。

【0026】この際、蓄積容量上に開口部はアドレス表示パターンADとして数字(または記号、文字等)の形状に形成する(図2参照)。図1(F)において、レジスト膜10をマスクにして、第2層目絶縁膜9をエッチングし

てコンタクト孔を形成し、レジスト膜10を除去する。この際同時に接続端子上の樹脂もエッチング除去する。

【0027】この際、蓄積容量上にはアドレスを示す数字等の形状のコンタクトホールが形成される。次に、画素電極膜として厚さ700ÅのITO膜を成膜して、蓄積容量上部電極8Cとソース電極8Sとにコンタクトをとり、バーニングして画素電極11とし、TFTマトリクスを形成する。

【0028】図2は実施例(1)の平面図である。

10 実施例(2)：図3(A)、(B)は本発明の実施例(2)の断面図である。

【0029】これらの図はゲートバスラインの断面構造を示す図である。図3(A)は実施例(1)における製造工程で、ソース、ドレン電極形成時に同時にゲートバスライン上にアドレス表示パターンADとして数字等のパターン(金属膜/n⁺型a-Si層/a-Si層からなる)を形成した例である。

【0030】図3(B)は実施例(1)における製造工程で、画素電極11を形成する際に同時にゲートバスライン上にアドレス表示パターンADとして数字等のパターン(ITO膜からなる)を形成した例である。

【0031】図4は実施例(2)の平面図である。

実施例(3)：図5は本発明の実施例(3)の断面図である。

【0032】この図はドレンバスラインの断面構造を示す図で、実施例(1)における製造工程で、画素電極11を形成する際に同時にドレンバスライン上にアドレス表示パターンADとして数字等のパターン(ITO膜からなる)を形成した例である。

30 【0033】図6は実施例(3)の平面図である。

【0034】

【発明の効果】本発明によれば、TFTマトリクスの番地表示を透過率を低下させないで各画素ごとに設けることができ、欠陥等の特定画素の指定を可能になった。

【0035】なお、実施例の効果を列記すると次のようになる。

(1) 従来のように蓄積容量等遮光膜の外に金属膜等のアドレスパターンを設けた場合は透過率を下げるが、実施例では下げるとはない。

40 (2) 自動検査装置を用いる場合、従来例ではパターン欠陥として検出されたが、実施例ではこのような誤検出はない。

(3) 実施例では、基板をあるていどの大きさに切断しても特定の画素を見ることができる。

(4) 実施例と表示部外に設けた従来のアドレス表示と組み合わせれば、より容易に特定画素を見ることができる。

【図面の簡単な説明】

【図1】 本発明の実施例(1)の断面図

【図2】 本発明の実施例(1)の平面図

7

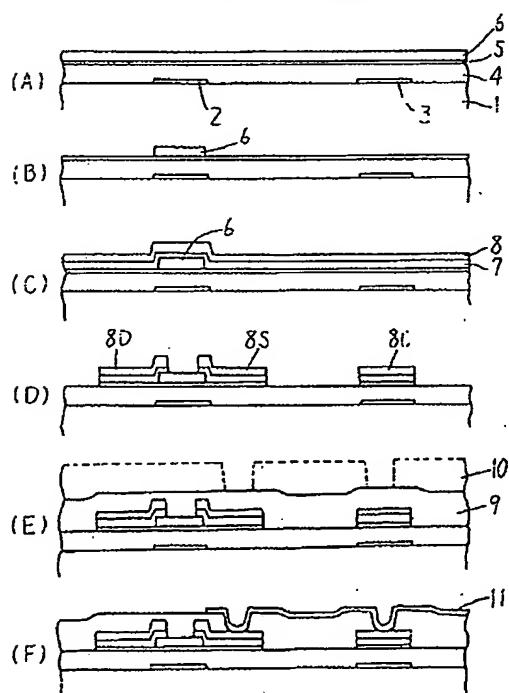
- 【図3】 本発明の実施例(2)の断面図
 【図4】 本発明の実施例(2)の平面図
 【図5】 本発明の実施例(3)の断面図
 【図6】 本発明の実施例(3)の平面図
 【図7】 TFTマトリクスの平面図
 【図8】 従来例(1)による画素の番地を表す方法の説明図
 【図9】 従来のTFT素子の製造工程を説明する断面図
 【符号の説明】
 1 透明絶縁性基板でガラス基板
 2 ゲート電極
 3 壕積容量下部電極
 4 第1層目絶縁膜(ゲート絶縁膜および壟積容量誘電体膜)でSiN膜

8

- 5 動作半導体層でa-Si膜
 6 チャネル保護膜でSiN膜
 7 コンタクト層でn⁺型a-Si層
 8 ソースドレイン電極および壟積容量上部電極用金属膜
 9 第2層目絶縁膜でSiN膜
 10 10 レジスト膜
 11 画素電極でITO膜
 41 ゲートバスライン
 42 ドレインバスライン
 43 TFT

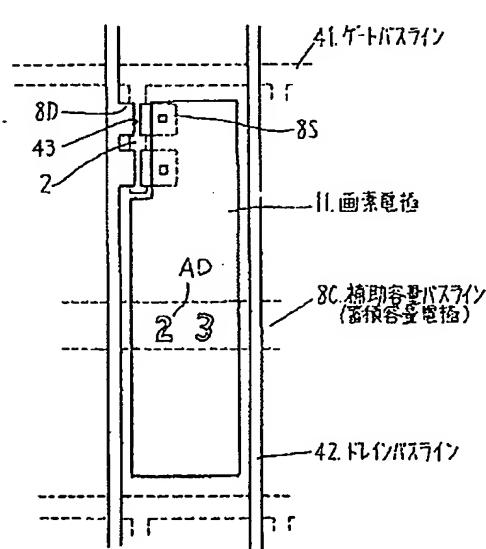
【図1】

本発明の実施例(1)の断面図



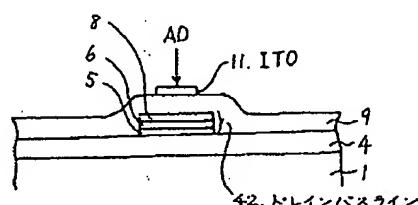
【図2】

本発明の実施例(1)の平面図



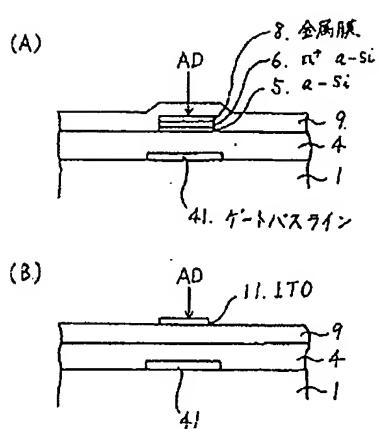
【図5】

本発明の実施例(3)の断面図



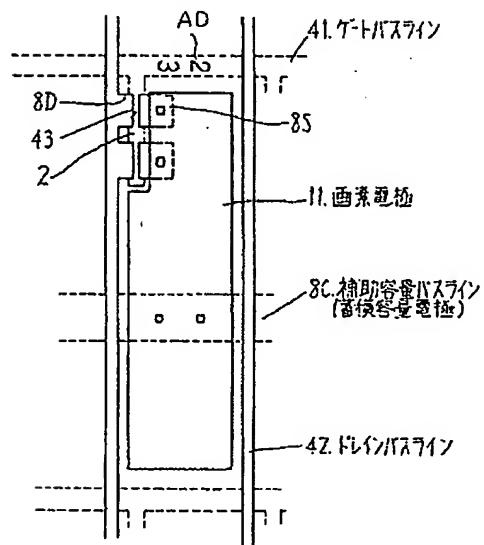
【図3】

本発明の実施例(2)の断面図



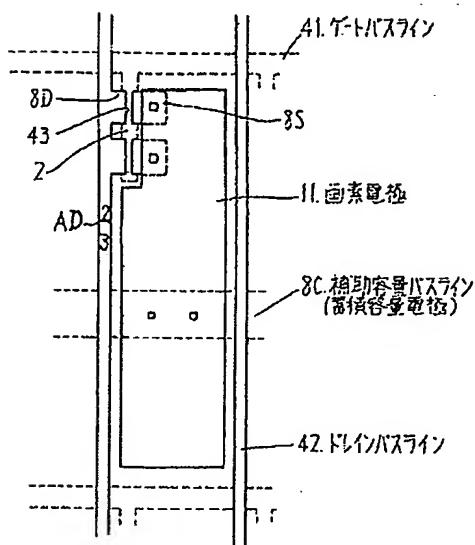
【図4】

本発明の実施例(2)の平面図



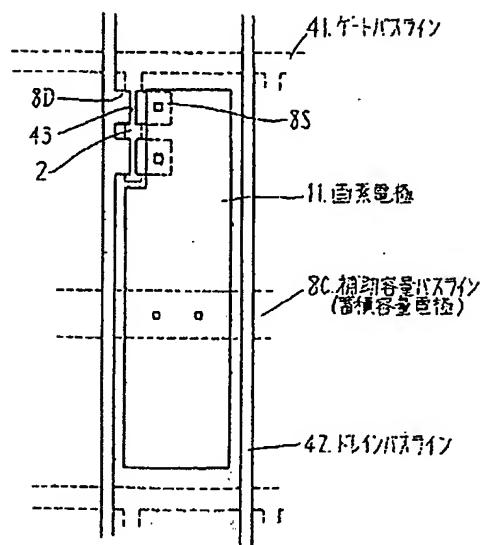
【図6】

本発明の実施例(3)の平面図



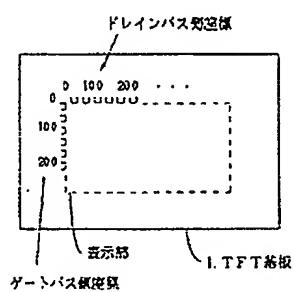
【図7】

TFTマトリクスの平面図



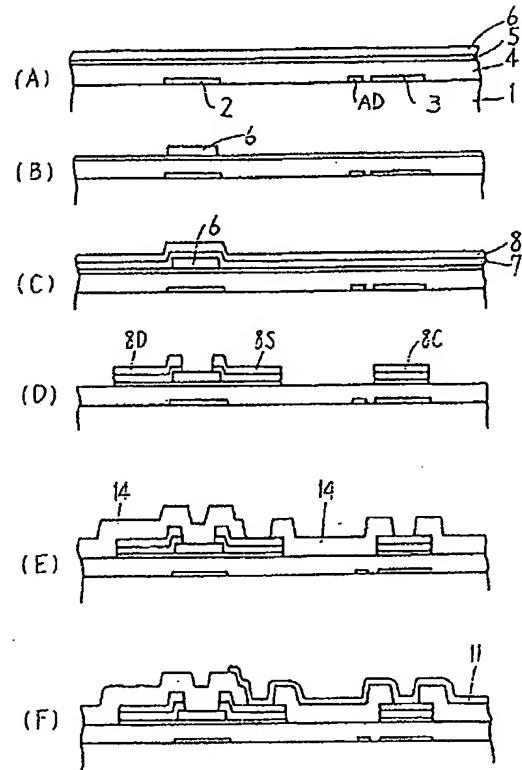
【図8】

従来例(1)による画素の接地を表す方法の説明図



【図9】

従来のTFT 素子の製造工程を説明する断面図



[0022]Fig. 1 shows a plan structure of a display pixel of an active matrix type LCD of the embodiment of the invention. Fig. 2 shows a schematic cross-sectional structure of the LCD along line A-A of Fig. 1, and Fig. 3 shows a cross-sectional structure on a first substrate along line B-B of Fig. 1.

[0023]The LCD is formed by attaching a first substrate 100 and a second substrate 500 formed of a transparent insulation material such as glass with a liquid crystal 200 therebetween.

[0024]An equivalent circuit of each of the pixels is the same as that in Fig. 4 described above. Pixel electrodes 24 are disposed in a matrix on the first substrate 100 as shown in Fig. 1, and a top gate type TFT 1 and a capacitor 3 (C_{sc}) are provided for each of the pixel electrodes 24. In each of the pixels, an active layer 14 of the TFT 1 bends to cross a gate line 20 extending in a row direction, a channel region 14c is formed in the active layer 14 at this crossing portion, and the gate line 20 at the crossing portion is to be a gate. A drain (or a source) 14d is connected with a data line 22 extending in a column direction, and the source (or the drain) 14s is connected with a liquid crystal capacitor 2 (C_{lc}) and the capacitor C_{sc} in parallel. The equivalent circuit of each of the pixels of this embodiment is the same as that shown in Fig. 4 described above, except such a structure that the TFT of each of the pixels uses a multiple-gate type TFT where a gate is commonly used and a plurality of TFT active layers is electrically connected in serial between the data line and the pixel electrode.

FIG. 1

